

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-180472

(43)Date of publication of application : 11.07.1997

(51)Int.Cl.

G11C 16/04

(21)Application number : 08-331267

(71)Applicant : SAMSUNG ELECTRON CO LTD

(22)Date of filing : 11.12.1996

(72)Inventor : BOKU SHOUKU
SUH KANG D

(30)Priority

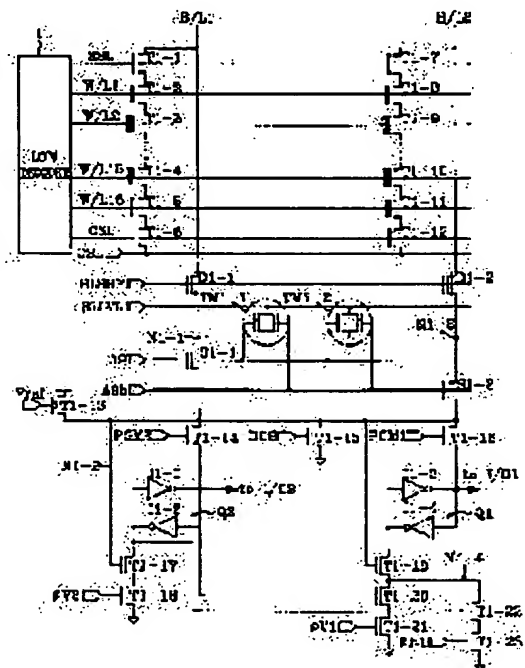
Priority number : 95 9548348 Priority date : 11.12.1995 Priority country : KR

(54) MULTIVALUED STORAGE NONVOLATILE SEMICONDUCTOR MEMORY AND ITS COLUMN SELECTION CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To expand the capacity of a memory and to amplify a circuit configuration by a method wherein a multivalued storage technique is applied to a NAND-type memory structure.

SOLUTION: A low decoder 1 outputs a string selection signal SSL and a string common-grounding-line selection signal GSL at a selection block so as to respond to a low address. Then, when a pumping voltage is applied to a nonselection word line, selection word line levels are changed sequentially in a constant sensing time unit. A word line voltage at which a cell is turned off by the threshold voltage of a selection cell and a point of time when a node N1-1 is changed to a power supply voltage level are different. At this time, when data latch signals ϕ R1, ϕ R2 are applied to respective word line levels, four different cell data can be sensed.



LEGAL STATUS

[Date of request for examination]

05.08.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-180472

(43)公開日 平成9年(1997)7月11日

(51)Int.Cl.⁶

G11C 16/04

識別記号

庁内整理番号

F I

G11C 17/00

技術表示箇所

308

審査請求 未請求 請求項の数19 O L (全 16 頁)

(21)出願番号 特願平8-331267

(22)出願日 平成8年(1996)12月11日

(31)優先権主張番号 1995 P 48348

(32)優先日 1995年12月11日

(33)優先権主張国 韓国 (K R)

(71)出願人 390019839

三星電子株式会社

大韓民国京畿道水原市八達区梅灘洞416

(72)発明者 朴 鎭▲うく▼

大韓民国ソウル特別市銅雀区鷺梁津2洞
226番地19号

(72)発明者 徐 康徳

大韓民国京畿道安養市飛山洞ニュータウン
アパート16棟206号

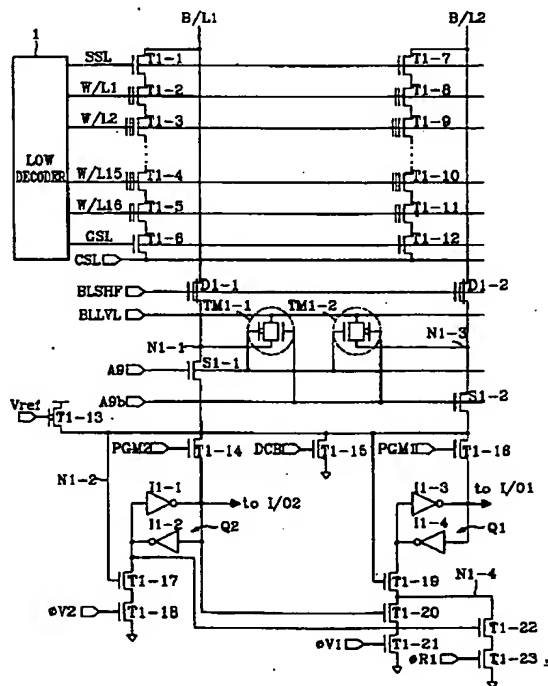
(74)代理人 弁理士 高月 猛

(54)【発明の名称】 多値記憶不揮発性半導体メモリ及びそのカラム選択回路

(57)【要約】

【課題】 NAND形のメモリ構造に容易に適用し得る多値記憶構成を提供する。

【解決手段】 ビットラインに定電流を流すための電流提供用トランジスタT1-13と、外部とのデータ交換のために異なる入出力ラインI/Oと接続されると共に二つのビットラインごとに続され、データ読出時のセンシング動作を遂行する第1、第2ラッチQ1、Q2のラッチ部と、読出動作で提供されるイネーブル信号φV2、φR1に応答し、前記ラッチ部のラッチ状態をビットラインのレベルに従って反転又は維持させるラッチ制御用トランジスタT1-17~23と、ビットラインに共通接続され、読出動作直前に前記ラッチ部を初期化しまたビットラインを所定の電圧レベルにする初期化用トランジスタT1-15と、プログラム動作で前記ラッチ部にラッチされたプログラムデータを選択ビットラインへ伝達するためのプログラムデータ伝達用トランジスタT1-14、16と、を備える。



【特許請求の範囲】

【請求項1】 ビットラインに接続された多数のストリングを有し、その各ストリングは、ビットラインに接続する第1選択トランジスタと共通ソースラインに接続する第2選択トランジスタとの間に多数のフローティングゲート形のメモリセルを直列接続してなり、その各メモリセルのしきい値電圧調整より多値記憶するようにされたメモリセルアレイをもつ不揮発性半導体メモリにおいて、

第1、第2選択トランジスタのゲート及びワードラインに接続し、各動作モードで一つの同一群に属するストリング及び少なくとも一つのワードラインを選択し、そして、その選択ワードラインに接続のメモリセルのコントロールゲートに各動作モード対応電圧を、多値記憶のプログラム及び読出が提供されるように可変的に印加するためのローデコーダと、

メモリセルに多値の一つをプログラムし、そのプログラムされたデータを読み出し、メモリセルを消去し、そして各動作の検証を実施するために、各動作モードで一つの同一群に属するストリングと他の一つの同一群に属するストリングの選択メモリセルが交互にアクセスされるようにするため、二つのビットラインごとに設けられ、ビットライン選択信号に応じて一つの同一群に属するビットラインを同時に選択し、他の一つの同一群に属する非選択ビットラインを伝送トランジスタを介してプログラム防止用の所定電圧で充電するビットライン選択及び充電手段と、

ビットラインに共通接続されて選択ビットラインに定電流を提供する定電流供給手段と、

前記ビットライン選択及び充電手段にそれぞれ接続され、プログラム動作で対応ビットラインを介してデータを一括的に書込むためにプログラムデータを一時貯蔵し、読出動作で選択メモリセルから感知された読出データをラッチするためのラッチ手段と、

読出動作で提供されるイネーブル信号にตอบสนองし、前記ラッチ手段のラッチ状態を選択ビットラインのレベルに従って反転又は維持させるラッチ制御手段と、

ビットラインに共通接続され、読出動作直前に前記ラッチ手段を初期化し、ビットラインを所定の電圧レベルにする初期化手段と、

プログラム動作で前記ラッチ手段にラッチされたプログラムデータを選択ビットラインへ伝達するためのプログラムデータ伝達手段と、を備えたことを特徴とする不揮発性半導体メモリ。

【請求項2】 多数のメモリセルを有するメモリセルアレイと、メモリセルを選択するためのワードラインと、ワードラインに直交するビットラインと、ビットラインに定電流を流すための電流提供用トランジスタと、外部とのデータ交換のために異なる入出力ラインと接続されると共に二つのビットラインごとに続され、データ読出

時のセンシング動作を遂行する第1、第2ラッチを有するラッチ部と、読出動作で提供されるイネーブル信号にตอบสนองし、前記ラッチ部のラッチ状態をビットラインのレベルに従って反転又は維持させるラッチ制御用トランジスタと、ビットラインに共通接続され、読出動作直前に前記ラッチ部を初期化したビットラインを所定の電圧レベルにする初期化用トランジスタと、プログラム動作で前記ラッチ部にラッチされたプログラムデータを選択ビットラインへ伝達するためのプログラムデータ伝達用トランジスタと、を備えることを特徴とする多値記憶不揮発性半導体メモリ。

【請求項3】 メモリセルアレイは、マスクROM、EPROM、EEPROM、フラッシュEEPROMのうちいずれか一つに適したセルで構成される請求項2記載の多値記憶不揮発性半導体メモリ。

【請求項4】 メモリセルアレイがNAND形又はNOR形の構造をもつ請求項2記載の多値記憶不揮発性半導体メモリ。

【請求項5】 読出動作時、非選択ビットラインを接地電圧でバイアスする請求項2記載の多値記憶不揮発性半導体メモリ。

【請求項6】 非選択ビットラインを接地電圧でバイアスするための信号はビットライン選択信号であり、該信号により接地電圧供給端と非選択ビットラインが電氣的に接続される請求項5記載の多値記憶不揮発性半導体メモリ。

【請求項7】 読出動作時、第1、第2ラッチの一方のラッチが他方のラッチのデータ反転経路を制御することにより多ビット読出される請求項2記載の多値記憶不揮発性半導体メモリ。

【請求項8】 読出動作時、ビットラインに供給される定電流と選択メモリセルに印加のワードラインレベルによるセル電流との差に従い多ビット感知される請求項2記載の多値記憶不揮発性半導体メモリ。

【請求項9】 読出動作時、選択ワードラインの電圧を時間経過に伴い高電圧から低電圧へ階段状波形で印加する請求項2記載の多値記憶不揮発性半導体メモリ。

【請求項10】 ワードライン電圧の階段状波形の各レベルは、各メモリセルが有し得るしきい電圧間の値に定義される請求項9記載の多値記憶不揮発性半導体メモリ。

【請求項11】 プログラム時、非選択ビットラインを電源電圧でバイアスしてプログラムを防止する請求項2記載の多値記憶不揮発性半導体メモリ。

【請求項12】 非選択ビットラインを電源電圧でバイアスするための信号はビットライン選択信号であり、該信号により電源電圧供給端と非選択ビットラインが電氣的に接続される請求項11記載の多値記憶不揮発性半導体メモリ。

【請求項13】 プログラム時、第1、第2ラッチの一

方のラッチのデータに対するプログラムループを完了した後、他方のラッチのデータに対するループを繰り返す請求項2記載の多値記憶不揮発性半導体メモリ。

【請求項14】 プログラム検証時、第1、第2ラッチの一方のラッチデータが他方のラッチのデータ反転経路を制御することによりプログラム検証を遂行する請求項2記載の多値記憶不揮発性半導体メモリ。

【請求項15】 プログラム検証時、選択ワードラインのレベルを読出動作時のワードラインレベルより一定電圧だけ高くし、読出動作時のワードラインレベルよりもプログラムセルのしきい電圧を一定電圧だけ高く分布させることにより、読出動作のマージンを保障する請求項2記載の多値記憶不揮発性半導体メモリ。

【請求項16】 消去、読出、プログラム動作時、非選択ビットラインをバイアスする信号線をフローティングさせる請求項2記載の多値記憶不揮発性半導体メモリ。

【請求項17】 消去時、選択ブロックに対し一括全消去を行う請求項2記載の多値記憶不揮発性半導体メモリ。

【請求項18】 消去検証時、二つのビットラインに対する2サイクルの検証動作により第1、第2ラッチにそれぞれビットラインの消去検証データをラッチする請求項2記載の多値記憶不揮発性半導体メモリ。

【請求項19】 マトリックス状に配列された多数のストリングを有し、その各ストリングは、ビットラインに接続される第1選択トランジスタと共通ソースラインに接続される第2選択トランジスタとの間に多数のフローティングゲート形のメモリセルを直列接続してなり、その各メモリセルのしきい値電圧調整により多値記憶するメモリセルアレイを有する不揮発性半導体メモリのカラム選択回路において、
統合された一つのブロック内で、一つの列選択アドレスにより隣接した各データラッチにそれぞれ異なるデータ伝送線とのパスを提供する構造をもつことを特徴とするカラム選択回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は不揮発性半導体メモリに関するもので、特に、メモリセルに多数のビット情報を貯蔵する多値記憶不揮発性半導体メモリに関するものである。

【0002】

【従来の技術】不揮発性半導体メモリはマスクROM、EPROM、EEPROM、フラッシュEEPROMに大別され、このうち特に、電気的書換えが可能で且つ記憶データをフラッシュ消去し得るという特徴を有するフラッシュEEPROMが、最近のパーソナルコンピュータのメモリ装置として脚光を浴びている。

【0003】通常の不揮発性半導体メモリにおいては、メモリセルは2値、つまり“0”か“1”かの1ビット

を記憶する。この場合、N（2以上の自然数）ビットのデータを記憶するためにはN個の独立メモリセルが要求される。従って、単一ビットメモリセルを有するメモリでは、記憶データビット数の増加が要求されると、メモリセル数をその分だけ更に増加しなければならない。

【0004】また、通常の単一ビットメモリセルの記憶データは、メモリセルのプログラム状態、即ち、メモリセルのしきい値電圧の差によって決定される。マスクROMの場合、セルトランジスタのしきい値電圧の差別化（プログラム）は、イオン注入技術を用いて製造工程の途中で行われる。一方、EPROM、EEPROM、フラッシュEEPROM等の場合は、セルトランジスタのフローティングゲートにおける電荷量を調整してしきい値電圧を変えることで行われる。

【0005】各メモリセルの記憶データを読出すためには、プログラムされたメモリセルの状態を点検することが必要である。このために、デコード回路を用いて所望のメモリセルを選択し、読出に必要な信号をそのメモリセルに関連した回路等に加える。その結果、メモリセルの状態に従う電流又は電圧の信号がビットライン上で得られることになり、このように得られた電流又は電圧信号を測定すると、メモリセルの記憶データを区別することができる。

【0006】メモリセルアレイの構造は、メモリセルのビットライン接続形態に従って大きくNOR形とNAND形に区別される。NOR形の場合は各メモリセルがビットラインと接地ライン(Ground line)との間にそれぞれ設けられており、NAND形の場合は複数のメモリセルがビットラインと接地ラインとの間に直列に設けられている。このNAND形のビットラインに直列接続されたメモリセルと、これの選択に必要な選択トランジスタ（直列メモリセルとビットラインとの間及び直列メモリセルと接地ラインとの間のトランジスタ）とを合わせて、ストリング(String)と呼ばれる。

【0007】NAND形メモリセルの記憶データを読出すためには、まず選択されたストリング内の選択トランジスタがオンになる。そして、該ストリング内で非選択のメモリセルのコントロールゲートには、選択メモリセルのコントロールゲートに印加される電圧より高い電圧が提供される。これにより、非選択のメモリセルは選択メモリセルに比べて低い等価抵抗値を有し、該当ビットラインからストリングに流れる電流は、ストリング内の選択メモリセルの状態に依存することになる。選択メモリセルの記憶状態に従いビットライン上に現れる電圧又は電流は、感知回路（センスアンプ）により感知される。

【0008】チップサイズを大きくすることなくメモリ容量を増加させるための研究が当該分野で進められている。その一に、1メモリセルに2ビット以上のデータを記憶させる多値記憶がある。上記のように通常、一つの

メモリセルは1ビットを記憶するが、例えば1メモリセルに2ビットを記憶させる多値記憶とすれば、このメモリセルはその状態に従って“00”、“01”、“10”、“11”のうちいずれかを記憶することができ、従って、同数のメモリセルで従来の倍のデータを記憶可能になる。2ビットを1メモリセルに記憶する多値記憶(Multi-State)メモリは、プログラムメモリセルのしきい値電圧を4値に分けてその一つにプログラムすることにより実現される。このように多値記憶として1メモリセル当たり2ビットを記憶すれば、単一ビットメモリの半分のメモリセルをもって同量のデータを記憶することが可能なので、チップサイズを小さくすることができ、また、1メモリセル当たりの記憶ビット数を増加させれば、同じチップサイズで単一ビットメモリに比べた記憶容量も大きく増加するようになる。

【0009】多値記憶メモリは、上述したNOR形のメモリ構造で有利になる。これは、NOR形における読出動作でメモリセルに流れる電流量が選択メモリセルの状態のみによって決定されるからである。このような構造のメモリにおいては、メモリセルのデータを読出すために選択メモリセルに接続したワードラインをオン電圧とし、選択メモリセルの連結先ビットラインを選択して該ビットラインに流れる電流又は該ビットラインに誘導される電圧の一つ又は多数の感知回路を用いて処理することになる。従って、このようなNOR形のメモリは多値記憶メモリに適用しやすく、動作速度が速いという長所を有する。

【0010】図12は、従来のNOR形の多値記憶メモリに適用されている電流センスアンプの回路図及びタイミング図である。これは、メモリセルのしきい値電圧により誘導され得る電流の量を感知する電流センシング方法の一例を示すもので、ISSCC '95に“A Multi Level Cell 32Mb Flash Memory”として発表されたフラッシュメモリである。このセンシング方法は一つのビットライン当たり一つのセンスアンプが必要で、NOR形には適しているが、NAND形にはあまり適しているとは言えない。即ち、NAND形のメモリに適用する場合、その構造が非常に複雑なのでチップのレイアウトが難しいという問題点をもち、一方、NOR形では、各メモリセルを1ずつビットラインと接地ラインとの間に設けなければならない制約があるため、メモリセルアレイの全体的大きさがNAND形に比べて大きくなるという欠点がある。

【0011】NAND形のメモリは、多値記憶メモリの実現がNOR形に比べて相対的に難しい。その理由は、複数のメモリセルがビットラインと接地ラインとの間に直列接続されているため、選択ストリングに流れる電流量が選択メモリセルの記憶状態だけでなく、同じストリングにある非選択メモリセルの状態によっても影響を受けるからである。従って、NAND形の構造にはNOR

形に用いられる電流感知技術をそのまま使用することはできない。このように、NAND形のメモリはNOR形に比べてメモリセルの集積性に優れるが、実現が難しいために多値記憶技術の適用から除かれているのが現状である。このことは逆を返せば、NAND形のメモリ構造に、NOR形に適用されているような多値記憶技術を使用することが可能であれば、非常に好ましいということである。これによれば、メモリセル数が減ることは勿論、メモリセルの集積性まで向上するので、格段にコンパクトなメモリチップの提供が可能になる。

【0012】このようなNAND形のメモリ分野において、選択メモリセルのゲートに印加される選択ワードラインレベルとセルのしきい値電圧との差により誘起されるそれぞれ異なるビットラインレベルを感知する電圧センシング(Voltage Sensing)技術を従来の技術として図13に示す。同図は、NAND形の多値記憶メモリとしたセンスアンプとメモリセルとの接続関係を示す回路図である。

【0013】図13を参照すると、セル当たり2ビットを記憶可能なフローティングゲート形の各メモリセル3A～7A、3B～7BはNAND形とされている。これらメモリセル3A～7A、3B～7Bは、それぞれ基本構造であるセルストリングを成すために、ストリング選択線SSLと接地選択線GSLにそれぞれ接続された第1選択トランジスタ2A、2B及び第2選択トランジスタ8A、8Bの間に直列接続されている。ビットラインBL1、BL2はそれぞれ選択トランジスタ2A、2Bを介して各ストリングのメモリセルへ接続される。尚、図13では便宜上二つのストリングとこれらに関連した回路を示しているが、実際のメモリでは多数のストリングが多数のビットラインへ接続される形態を有するのは勿論である。即ち、1チップ内で、図示のストリング内のメモリセルトランジスタは他の全てのストリング内のメモリセルトランジスタと共にメモリセルアレイを構成し、このメモリセルアレイ内で、セルトランジスタは行と列のマトリクス形態に交差配列される。

【0014】各動作モードで、一つの同一群に属するストリング及び少なくとも一つのワードラインを選択し、その選択ワードラインに接続されたメモリセルの制御ゲートに各動作モードの対応電圧を共通に印加するため、第1及び第2選択トランジスタのゲート及びワードラインに接続されたローデコーダ及びプログラムコントローラ1は、ストリング選択線SSL、接地選択線GSL及びワードラインWL1、WL2、…、WL16に、選択対象の選択トランジスタを駆動する信号及び選択行に対する行デコーディング信号を電圧信号としてそれぞれ提供する。従って、ストリング内のトランジスタ2A～8A、2B～8Bは、コントロールゲートに提供される前記信号に応答してオン又はオフ状態に制御される。即ち、一つの特定期メモリセルの選択は、そのセルが接続さ

れたワードラインとそのセルに対応するストリング選択トランジスタ、そしてストリングが接続されているビットライン選択トランジスタを活性化させることにより遂行される。

【0015】図13に示すように、ローデコード及びプログラムコントローラ1に連結された多数のストリングを有する多値記憶メモリセルアレイにデータをプログラムし、そのプログラムデータを読み出し、プログラムデータを消去し、更に各々の動作の検証を行うために、ビットラインBL1、BL2に接続されたビットライン選択及び充電部100と、ビットライン選択及び充電部100に接続されたビットラインレベル制御部200と、多値基準電圧生成部350と、ビットラインレベル制御部200と多値基準電圧生成部350に接続されて、プログラム動作で各対応ビットラインを通じて一括してメモリセルへ書込むようにデータを一時貯蔵し、プログラム検証動作でプログラムがうまく行われたかを判断し、読出動作でメモリセルから読出されたビットラインデータを感じ及び増幅するためのページバッファ300と、を含む。

【0016】ページバッファ300は、センスアンプとしての感知回路14と、逆向並列接続された二つのインバータで構成されたデータ貯蔵用ラッチ17-18、21-22と、関連トランジスタN8~N16、P11とからなっている。

【0017】ビットライン選択及び充電部100は、二つのビットライン中の一つのビットラインを選択するためのPMOS及びNMOSTランジスタP3、N3、N4、P4と、電源電圧をソースに受ける充電用PMOSTランジスタP1、P2で構成される。PMOSTランジスタP1、P2のドレインはそれぞれ、ビットラインBL1(9)、BL2(10)にそれぞれドレインソース通路が接続された高電圧印加防止用トランジスタN1、N2のソースと接続されている。トランジスタN1、N2は制御信号BLSHFによりゲート制御される。

【0018】ビットラインレベル制御部200は、選択用トランジスタN3のソースが接続されたノード11と接地との間に接続された電流ソース23と、ノード11と電源電圧との間にソースドレイン通路が直列に接続されたPMOSTランジスタP5、P6、P7と、ノード11と接地との間にソースドレイン通路が接続されたリセット用NMOSTランジスタN5と、から構成されている。

【0019】多値基準電圧生成部350は、感知回路14の反転入力端子(-)へつながるノード12に第1~第3基準電圧Vref1、2、3を提供するために、NMOS及びPMOSTランジスタN6、N7、P8、P9、P10を有する。

【0020】このように構成された図13の回路では、

二つのビットライン当たり一つのページバッファ300が存在し、二つのビットラインのどちらかの選択は、ビットライン選択信号BS0、/BS0(反転)でゲート制御される選択用トランジスタP3、N3、N4、P4により行われる。

【0021】上記構成の図13のメモリは、メモリセルが直列に接続されているNAND構造を有するので、選択セルのソースレベルがストリング中の位置に応じてばらつくという問題がある。これは、非選択メモリセルのターンオン抵抗値の和が選択セルの位置により異なり、選択メモリセルの位置に応じて異なるVsb(ソースレベルと基板バイアスレベルとの電位差)を誘発するからである。Vsb値が正(+)にいくほどに選択メモリセルのしきい値電圧は高くなるので、同一の選択ワードラインレベルが印加される場合、同じしきい値電圧レベルに消去されたメモリセルであっても位置に従って異なるビットラインレベルが誘発されてしまうことになる。

【0022】また、いずれかのメモリセルが選択されてビットラインレベルが上昇するときに、選択メモリセルのソースレベルが高まってVgs(ゲートソース間電圧)は減少する。即ち、選択メモリセルは時間が経過するにつれて徐々に流れる電流が少なくなり、Vgsがセルのしきい値電圧より低くなると、当該メモリセルは非常に少量のサブスレッショルド電流(Sub Threshold Current)のみを流すことになるので、ビットラインレベルは時間が経つにつれて緩やかな増加傾向を示す。従って、安定したセンシングを行うことが難しいという問題がある。これを解決するために、図13では各ビットラインごとにサブスレッショルド電流を補償する負荷電流源23を設けたているが、各メモリセルのサブスレッショルド電流に対応する定電流源を作るとはかなり難しい。

【0023】このように、従来のNOR及びNAND形の多値記憶メモリの問題点を解決し得る多値記憶不揮発性半導体メモリ及びその駆動方法が必要とされている。

【0024】一方、多値記憶メモリの場合、見かけ上のメモリセルの数は、物理的メモリセルの数×1セル当たりデータビット数となる。例えば、セル当たり2ビット記憶可能で、メモリセルの数が64M個であると、見かけ上のセル数は128M個となる。この場合、一つのセルで読出される2ビットデータを感じ取するため、ビットラインごとに二つのページバッファ(第1及び第2データラッチ)が必要になる。このときセルのしきい値電圧の分布により、第1ページバッファと第2ページバッファが有する論理レベルの状態は、2ビットの場合それぞれ“11”、“10”、“01”、“00”となることが分かる。従って、これに適したカラム選択回路も共に必要になる。

【0025】しかし、図14のように構成された従来の一般的カラム選択回路はこれに適しているとは言えな

い。この図14は従来の単一ビットメモリの一般的カラム選択部を示した回路図で、バイト単位のワイドカラム選択動作を遂行するためにI/Oブロック111が8つに分離されている。図示のように、多数のブロックに分割しておき、カラムデコーディングにより各I/Oブロックに対応するデータラインを接続させ、カラムアドレスにより1列が選択されるとき、8つの各I/Oブロックの同一のアドレスで8つのデータを同時に読み出す方式であった。ところが多値記憶のNAND形メモリの場合、上述のように、同一のビットラインに接続された二つのページバッファはそれぞれ異なるI/Oラインに接続される構造を有しなければならない。即ち、第1ページバッファはI/O_i、第2ページバッファはI/O_{i+1}に接続される(尚、i=0, 2, 4, 6, ...)。従ってこの場合、図14のように8つの独立した各I/Oブロックは、隣接した二つのI/Oブロックが互いに統合(Merge)された4つのI/Oブロックの形態に変わることが好ましい。また、この統合されたI/O構造からデータを読み出すか、選択セルにデータをプログラムするときに、データのローディング動作のためにはそれに適した形態のカラム選択回路が必要になる。

【0026】

【発明が解決しようとする課題】上記従来技術に着目して本発明の目的は、NAND形のメモリ構造に多値記憶技術を容易に適用し得る多値記憶不揮発性半導体メモリ及びその駆動方法を提供することにある。また本発明の他の目的は、メモリセルの記憶容量の拡張だけでなく、回路構造をより簡単に形成し得る多値記憶不揮発性半導体メモリを提供することにある。また本発明の他の目的は、NAND形構造でも電流感知技術を適用し得る多値記憶不揮発性半導体メモリ及びその駆動方法を提供することにある。また本発明の他の目的は、メモリセル当たり多ビットのデータを記憶する多値記憶メモリにおける改善された消去、プログラム、その検証、及び読出方法を提供することにある。

【0027】

【課題を解決するための手段】このような目的のために本発明は、ビットラインに接続された多数のストリングを有し、その各ストリングは、ビットラインに接続する第1選択トランジスタと共通ソースラインに接続する第2選択トランジスタとの間に多数のフローティングゲート形のメモリセルを直列接続してなり、その各メモリセルのしきい値電圧調整より多値記憶するようにされたメモリセルアレイをもつ不揮発性半導体メモリにおいて、第1、第2選択トランジスタのゲート及びワードラインに接続し、各動作モードで一つの同一群に属するストリング及び少なくとも一つのワードラインを選択し、そして、その選択ワードラインに接続のメモリセルのコン

ロールゲートに各動作モード対応電圧を、多値記憶のプログラム及び読出が提供されるように可変的に印加するためのローデコードと、メモリセルに多値の一つをプログラムし、そのプログラムされたデータを読み出し、メモリセルを消去し、そして各動作の検証を実施するために、各動作モードで一つの同一群に属するストリングと他の一つの同一群に属するストリングの選択メモリセルが交互にアクセスされるようにするため、二つのビットラインごとに設けられ、ビットライン選択信号に応じて一つの同一群に属するビットラインを同時に選択し、他の一つの同一群に属する非選択ビットラインを伝送トランジスタを介してプログラム防止用の所定電圧で充電するビットライン選択及び充電手段と、ビットラインに共通接続されて選択ビットラインに定電流を提供する定電流供給手段と、前記ビットライン選択及び充電手段にそれぞれ接続され、プログラム動作で対応ビットラインを介してデータを一括的に書き込むためにプログラムデータを一時貯蔵し、読出動作で選択メモリセルから感知された読出データをラッチするためのラッチ手段と、読出動作で提供されるイネーブル信号にตอบสนองし、前記ラッチ手段のラッチ状態を選択ビットラインのレベルに従って反転又は維持させるラッチ制御手段と、ビットラインに共通接続され、読出動作直前に前記ラッチ手段を初期化し、ビットラインを所定の電圧レベルにする初期化手段と、プログラム動作で前記ラッチ手段にラッチされたプログラムデータを選択ビットラインへ伝達するためのプログラムデータ伝達手段と、を備えることを特徴とする。

【0028】或いは本発明の多値記憶不揮発性半導体メモリは、多数のメモリセルを有するメモリセルアレイと、メモリセルを選択するためのワードラインと、ワードラインに直交するビットラインと、ビットラインに定電流を流すための電流提供用トランジスタと、外部とのデータ交換のために異なる入出力ラインと接続されると共に二つのビットラインごとに続され、データ読出時のセンシング動作を遂行する第1、第2ラッチを有するラッチ部と、読出動作で提供されるイネーブル信号にตอบสนองし、前記ラッチ部のラッチ状態をビットラインのレベルに従って反転又は維持させるラッチ制御用トランジスタと、ビットラインに共通接続され、読出動作直前に前記ラッチ部を初期化しまたビットラインを所定の電圧レベルにする初期化用トランジスタと、プログラム動作で前記ラッチ部にラッチされたプログラムデータを選択ビットラインへ伝達するためのプログラムデータ伝達用トランジスタと、を備えることを特徴とする。

【0029】この場合のメモリセルアレイは、マスクROM、EPROM、EEPROM、フラッシュEEPROMのうちいずれか一つに適したセルで構成される。またメモリセルアレイはNAND形又はNOR形の構造をもつものとする。読出動作時、非選択ビッ

トラインを接地電圧でバイアスし、このとき、非選択ビットラインを接地電圧でバイアスするための信号はビットライン選択信号とし、該信号により接地電圧供給端と非選択ビットラインが電氣的に接続されるようにする。読出動作時、第1、第2ラッチの一方のラッチが他方のラッチのデータ反転経路を制御することにより多ビット読出されるものとする。読出動作時、ビットラインに供給される定電流と選択メモリセルに印加のワードラインレベルによるセル電流との差に従い多ビット感知されるものとする。読出動作時、選択ワードラインの電圧を時間経過に伴い高電圧から低電圧へ階段状波形で印加する。そのワードライン電圧の階段状波形の各レベルは、各メモリセルが有し得るしきい電圧間の値に定義される。プログラム時、非選択ビットラインを電源電圧でバイアスしてプログラムを防止する。その非選択ビットラインを電源電圧でバイアスするための信号はビットライン選択信号とし、該信号により電源電圧供給端と非選択ビットラインが電氣的に接続されるようにする。プログラム時、第1、第2ラッチの一方のラッチのデータに対するプログラムループを完了した後、他方のラッチのデータに対するループを繰り返す。プログラム検証時、第1、第2ラッチの一方のラッチデータが他方のラッチのデータ反転経路を制御することによりプログラム検証を遂行する。プログラム検証時、選択ワードラインのレベルを読出動作時のワードラインレベルより一定電圧だけ高くし、読出動作時のワードラインレベルよりもプログラムセルのしきい電圧を一定電圧だけ高く分布させることにより、読出動作のマージンを保障する。消去、読出、プログラム動作時、非選択ビットラインをバイアスする信号線をフローティングさせる。消去時、選択ブロックに対し一括全消去を行う。消去検証時、二つのビットラインに対する2サイクルの検証動作により第1、第2ラッチにそれぞれビットラインの消去検証データをラッチする。

【0030】また、本発明は、マトリクス状に配列された多数のストリングを有し、その各ストリングは、ビットラインに接続される第1選択トランジスタと共通ソースラインに接続される第2選択トランジスタとの間に多数のフローティングゲート形のメモリセルを直列接続してなり、その各メモリセルのしきい値電圧調整により多値記憶するメモリセルアレイを有する不揮発性半導体メモリのカラム選択回路において、統合された一つのブロック内で、一つの列選択アドレスにより隣接した各データラッチにそれぞれ異なるデータ伝送線とのパスを提供する構造をもつことを特徴とする。

【0031】

【発明の実施の形態】以下、本発明の実施形態につき添付図面を参照して詳細に説明する。

【0032】図1は、NAND形のフラッシュEEPROMセルを用いて一つのメモリセル当たり2ビットを記

憶する場合を一例として示した回路図である。図1の構成はフラッシュEEPROMだけでなく、マスクROM、EPROM、EEPROM等にも適用可能であり、一つのメモリセル当たり2以上のビットを記憶する場合にも拡大して適用できる技術である。

【0033】図示のように、複数のセルトランジスタT1-2~T1-5, T1-8~T1-11が直列に設けられたセルストリングと、ストリングとビットラインをスイッチ接続するための選択トランジスタT1-1と、ストリングと共通接地線CSLをスイッチ接続するための選択トランジスタT1-6と、ビットラインに接続された高電圧防止用デプレショントランジスタD1-1, D1-2と、互いに異なる群に属する二つのビットラインのうち一つのビットラインを選択するためのビットライン選択トランジスタS1-1, S1-2と、プログラム時と読出時に二つのビットラインのうち選択されなかったビットラインにプログラム防止電圧（例えば電源電圧Vcc）又は接地電圧Vssを供給し、消去時にフローティングされる信号BLVLを、ビットライン選択信号A9, A9bに従い非選択ビットラインに印加するための伝送トランジスタTM1-1, TM1-2と、読出動作時に選択ビットラインに一定の定電流を供給するためのトランジスタT1-13と、プログラム時に外部から受けたデータをラッチしてからビットラインにそのラッチデータ該当電圧を供給し、読出動作時に読出データをラッチする機能を有するラッチ形センスアンプ（ラッチ）I1-1~I1-2(Q2), I1-3~I1-4(Q1)と、読出動作時にビットラインレベルに従い前記ラッチの状態を反転させるか或いはそのまま維持する機能を有するトランジスタT1-17, T1-19, T1-20, T1-22と、読出動作が開始されてから一定時間経って前記ラッチを反転させるための時間になったときにパルス波形としてイネーブされる各イネーブ信号φV2, φV1, φR1に従うトランジスタT1-18, T1-21, T1-23と、読出動作直前に前記ラッチを初期化し、ビットラインを接地電圧状態に維持するための制御信号DCBに従うトランジスタT1-15と、プログラム時に制御信号PGM1, PGM2に従いターンオンし、前記ラッチのデータをビットラインへ伝達する手段としてのトランジスタT1-14, T1-16と、から構成されている。

【0034】複数のワードラインは1行のストリングを一つのブロック単位とし、全体のメモリアレイはマトリクス形態に配列された複数のブロックで構成され、与えられたアドレスにより各ブロックを選択するデコーディングと、一つのストリング内の複数のワードラインのうち一つのワードラインを選択するデコーディングの組合せによりワードライン選択が行われる。データ消去、読出、プログラム、プログラム検証の動作を提示した波形図を参照して説明する。

【0035】図2及び図3は、各データに対応するメモリセルのしきい値電圧の分布を示すものである。読出動作時、選択ワードラインに印加される電圧は、図2に示すように、しきい値電圧分布を区分し得るようにそれぞれ矢示のしきい値電圧分布の中間値を順次印加する。このしきい値電圧分布を得るため、効果的なプログラム方法を使用すると、各状態のしきい値電圧は、 -2.7V 以下、 $0.3\text{V}\sim 0.7\text{V}$ 、 $1.3\text{V}\sim 1.7\text{V}$ 、 $2.3\text{V}\sim 2.7\text{V}$ の分布を有するので、互いに異なる四つの値の一つのメモリセルで記憶することができる。

【0036】I. 読出動作(Read Operation)

【0037】読出動作は、先ず二つのラッチをリセットさせることにより(図4の区間①)開始される。次に、与えられたアドレスにより二つのビットラインのうち一つのビットラインを選択するA9(又はA9b)がポンピングレベル(Pumping Level: 3.3V 動作素子で約 6V)に遷移する。このとき、A9(又はA9b)の相補信号のA9b(又はA9)は“ロウ”状態になり、“ロウ”レベルにバイアスされた信号BL_LVLのレベルが伝送トランジスタTM1-2(又はTM1-1)を通じて非選択ビットラインに供給され、該ビットラインが接地電圧レベルに維持される。従って、非選択ビットラインのフローティング条件が除去され、二つの選択されるビットライン間で常に接地電圧レベルのシールド(Shield)線の役割を実行し、選択ビットライン間のカップリングを防止する。このとき、センシングに必要なビットライン電流を流すために、図1のトランジスタT1-13のゲートに一定レベルの電圧を加える。この際に加えられるV_{ref}レベルは公知された基準電圧発生装置から供給されるレベルで、その動作の詳細な説明は省略する。

【0038】図4に、図1のメモリの読出動作時の主要信号の動作タイミングを示す。ローデコード1は与えられたローアドレスに応答して、選択ブロックのストリング選択信号SSLとストリング共通接地線選択信号GSLを出力する。そして、非選択ワードラインにポンピング電圧のV_{pass}電圧(例えば 6V)が印加される。メモリセルのデータは3サイクルにわたって感知される。このとき、選択ワードラインのレベルは一定のセンシング時間(例えば $8\mu\text{s}$)を単位として $2\text{V}\rightarrow 1\text{V}\rightarrow 0\text{V}$ の順に変わる。選択セルのしきい値電圧によってセルがターンオフするワードライン電圧は異なり、図1のノードN1-1がV_{cc}レベルにチャージされる時点も違ってくる。このとき、各ワードラインレベルでデータラッチ信号φR1、φV2を図4に示すように印加すると、各々4つの異なるセルデータを検知することができる。

【0039】先ず、ワードライン2Vの第1サイクル③はデータ“00”を検知するための期間である。図2のしきい値電圧分布図を参照すると、ワードライン2Vで

データ“00”ではないデータのセルは全てターンオン条件である。従って、データラッチ信号φR1、φV2がパルス形態でイネーブルされる時点でトランジスタT1-17、T1-22をターンオンさせることができるので、ラッチのデータは変化がない。一方、データ“00”のしきい値電圧を有するセルでは当該セルトランジスタがターンオフと読出され、選択ビットラインレベルは上昇する。このビットラインレベルはトランジスタD1-1のシャットオフ(Shut Off)レベルまで上昇し、シャットオフレベルに到達するとトランジスタD1-1はオフ状態になり、トランジスタT1-13を通じて供給される電荷はビットラインに比べて相対的に負荷の小さいノードN1-2を短時間に電源電圧V_{cc}レベルへチャージする。このときにデータラッチ信号φR1、φV2がパルス形態でイネーブルされると、トランジスタT1-17、T1-22がターンオンしてラッチQ1、Q2を反転させる。この際にラッチQ2の状態が先に論理“ロウ”になると、トランジスタT1-22がオフ状態になってQ1を反転させられないので、信号φV2より信号φR1のパルスを先にイネーブルさせてラッチQ1を先に反転させてからラッチQ2を反転させる。

【0040】データ“01”状態のしきい値電圧は、選択ワードラインレベル1Vでターンオフとして認識され、図4の区間④でノードN1-1をV_{cc}レベルに変える。従って、区間④で信号φV2のパルスのみをイネーブルさせてラッチQ2状態のみを論理“ロウ”にする。このとき、ラッチQ2が論理“ロウ”となると、区間⑤で信号φR1のパルスがイネーブルされてもトランジスタT1-22をオフ状態に維持させ、区間④で感知されたラッチの状態をそのまま維持する。

【0041】データ“10”状態のしきい値電圧は、選択ワードラインレベル0Vでターンオフとして認識されて、図3の区間⑤でノードN1-1をV_{cc}レベルに変える。従って、区間⑤でφR1のパルスのみをイネーブルさせてラッチQ1状態のみを論理“ロウ”にする。

【0042】データ“11”の場合、図2を参照すると、セルのしきい値電圧が -2.7V 以下の値を有するので、センシングの全区間でターンオンであり、信号φV2、φR1のパルスに関係なくノードN1-2をトランジスタT1-17、T1-22のターンオン電圧以下に維持することで、ラッチのデータは変化しない。

【0043】II. プログラム及びプログラム検証動作(Program & Program Verify)

【0044】図1の回路におけるプログラム及びプログラム検証時に回路の主要部分に加えられる信号の波形を図5に示す。全プログラムサイクルは、メモリセルのフローティングゲートに電子を注入するプログラム動作とプログラムされたメモリセルが所望の適正しきい値電圧に達したかどうかを検証するプログラム検証動作とから

なる。プログラムとプログラム検証動作は、選択された全メモリセルがデバイスで内部的に決められたプログラム反復回数内で所望のしきい値電圧に到達するまで繰り返される。選択メモリセルにF-Nトンネリングを用いたプログラムを遂行するためには、セルのコントロールゲートに所定のプログラム電圧（例えば14V～19V）を加え、セルのチャネル電圧は接地電圧を印加する。これによりフローティングゲートとチャネルとの間に強電界が印加され、チャネルの電子がフローティングゲートとチャネルとの間の酸化膜を通じたトンネリングでフローティングゲートへ注入される。フローティングゲートに電子が注入されるに従ってセルのしきい値電圧は上昇することになる。

【0045】多数のメモリセルをもつメモリにおけるプログラム動作は複数のメモリセルに対して同時に進行される。従って、選択メモリセルによってプログラムされる程度に差が生じ得るので、一度のプログラム動作後に各選択メモリセルが所望の状態に到達したかどうかを検証して、所望の状態に到達したメモリセルへの影響は排除(Program Inhibit)しつつ、プログラム未達成のメモリセルのみに対して再びプログラム動作が遂行される。このようなプログラム-プログラム検証動作は選択された全メモリセルが所望のしきい値電圧に到達するまで繰り返される。本発明の実施形態を示した図1の回路の場合は、選択ワードラインに接続されたセル中の半分だけがプログラムされる構造である。

【0046】二つのビットラインのうち、ビットライン選択信号A9、A9bにより一つのビットラインが選択され、非選択のビットラインは信号BL_LVLにより供給される電源電圧V_{cc}が加えられ、非選択ビットラインにおける選択ワードラインに接続しているセルのプログラムが防止される。このような電源電圧V_{cc}によりプログラムを防止する技術は従来のNAND形で広く使用されている技術である。

【0047】また、プログラム動作時に外部から供給されるプログラムデータは二つのビットラインごとにある二つのラッチ回路に入力される。図1の回路は、プログラムされるセルがラッチに入力されたデータに該当するレベルに到達すると、二つのラッチQ1、Q2の状態が論理“ハイ”状態に変わる。これにより、プログラムが完了したメモリセルは電源電圧V_{cc}にチャージされて、プログラムが未完成されたセルのためにプログラムが進行し続けても、既にプログラムが完了した状態のしきい値電圧は影響を受けない。

【0048】提示した図5及び図6のタイミング図を参照して、具体的なプログラムとプログラム検証動作を説明する。

【0049】図5に示すようにサイクル(A)の区間は、一度のプログラムと一度のプログラム検証区間を含むサイクルで、このときのプログラムサイクルの間はラ

ッチQ1にラッチされたデータによるプログラムが進行される。このサイクル(A)は設計時に決めた所定回数（例えば5回）内で繰り返される。また、各プログラムから次のプログラムに進行しながらプログラム電圧は設計時に決めた電圧（例えば0.2V）だけ増加してプログラムを遂行する。このようなプログラム電圧増加技術に関する詳細な説明は既存の特許にも開示されており、図6、図7及び図8により詳細に示している。

【0050】プログラム検証時のセンシング動作は上記の読出動作と殆ど同様であるが、図6に示したように、サイクル(A)では読出動作時の選択ワードライン電圧としきい値電圧との間のマージンを確保するために、読出動作時の選択ワードライン電圧より高い電圧（例えば0.3V）を印加する。また、サイクル(A)ではラッチQ1のラッチデータに対するプログラムを遂行するので、プログラム検証時にもラッチQ1に関係したラッチイネーブル信号はφV2である。サイクル(B)のループを最後にプログラムが完了する。各サイクルに対するルーピングが進行される間のプログラム電圧を図7及び図8に示す。図7及び図8は、各サイクルに対するルーピングが進行される間のしきい値電圧の変換とラッチの変化状態を示すものである。

【0051】データ“11”の場合、ラッチQ1、Q2のデータがすべて1なので、プログラム全区間に対してビットラインが電源電圧レベルにチャージされてプログラム防止状態にある。データ“10”の場合、ラッチQ1のデータだけ0であるので、ラッチQ1のデータプログラム区間のルーピングが進行される間だけプログラムが遂行され、その区間でプログラム防止状態になると、それ以上のプログラムは行われず。データ“01”の場合、最初のラッチQ1のデータのプログラムループ区間の間はプログラムが行われず（ラッチQ1のデータが1であるので）、ラッチQ2のデータに対するプログラムループに進入しながらプログラムが進行される。また、プログラムループ内でメモリセルのしきい値電圧が所望のレベルになると、ラッチQ2のデータが1に変わり、残りのルーピング区間の間にはプログラム防止状態になるので、それ以上のプログラムは行われず。データ“00”の場合、ラッチQ1に対するプログラムループ全区間に対してプログラムが遂行される。これは、たとえメモリセルのしきい値電圧がプログラム検証の基準電圧0.3V以上になっても、ラッチQ2のデータが0なので、図1のトランジスタT1-20がオフ状態にあって、ラッチQ1のデータが1に変わらないからである。従って、プログラム速度が速いメモリセルの場合は、図7及び図8に示すようにセルのしきい値電圧が0.7V以上である場合も存在する。次に、ラッチQ2のデータに対するプログラムループに進入しながらプログラムが進行される。

【0052】このとき、メモリセルのしきい値電圧が

1. 3V以上の場合、プログラム検証段階でラッチQ2のデータが1に変わってプログラムが防止される。しかし、まだデータ“00”のしきい値電圧には到達しない状態である。再びラッチQ1のデータに対するプログラムループが進行されながらメモリセルのしきい値電圧は正(+)の値へ増加し、しきい値電圧が2.3V以上になると、ラッチQ1のデータが1に変わって残りのルーピング区間ではプログラム防止状態になり、それ以上のプログラムは行われなくてプログラムが完了する。

【0053】III. 消去及び消去検証(Erase & Erase Verify)

【0054】図1の回路に対するデータ消去及び消去検証動作時の主要信号について図9及び図10に示す。消去動作の基本単位はブロックで、消去動作時にSSL, GSLはフローティング状態になり、選択ブロックのワードラインに0Vが加えられ、そして消去動作は選択された多数のワードラインに接続のメモリセルに対して同時に行われる。このとき、メモリセルを形成した基板にはデータ消去電圧Vers(通常21V~24V)が加えられてフローティングゲートと基板との間に高電界が印加される。これにより、フローティングゲートの電子がF-Nトンネリングにより基板に放出され、選択メモリセルのしきい値電圧は負(-)の値へシフトする。消去動作でもプログラム動作と同様に(消去動作)+(消去検証動作)が繰り返され、選択メモリセルが所望のしきい値電圧に到達することで完了となる。

【0055】図9は、図1のメモリの消去動作に関連する信号の動作タイミング図である。基板に印加された高レベルの消去電圧は、図1のトランジスタT1-1のソースのP-N接合に順方向バイアスを提供するので、ビットラインのレベルも消去電圧へ上昇する。そして消去動作時、ビットライン選択信号A9, A9bは接地電圧レベル、信号BLSHFは所定のバイアスレベル(例えば6V)にあるので、図1の伝送トランジスタTM1-1, TM1-2はターンオン状態であり、ノードN1-1, N1-3は信号BLSHFのレベルにデプレッショントランジスタD1-1のしきい値電圧を加えた電圧が誘起される。このとき、信号BLVLの信号線はフローティング状態とされ、ノードN1-1, N1-3の電圧から信号BLVLの電圧が誘起される。

【0056】消去検証の動作時に図1の各部分に加えられる信号を図7に示す。消去検証時、選択ブロックのSSL, GSLに6Vが加えられ、該選択ブロックの全ワードラインには0Vが加えられる。消去検証動作は読出動作に類似するが、相違点はストリング内の全メモリセルによりビットラインレベルが決定されることにある。消去動作は上述のように選択ブロック内の全ビットラインに対して同時に遂行されるので、消去検証も偶数ビットライン(Even Bit line)と奇数ビットライン(Odd Bit line)の全てに対して遂行すべきであり、従って図10

に示す信号波形のように二度の読出動作が行われる。先ず、ラッチリセット状態から信号A9bが論理“ハイ”になることによりビットラインB/L2が選択され、これに対する消去検証が始まる。B/L2に接続のストリング内の全セルが消去状態にあれば、全セルトランジスタはワードライン0Vで“ON”セルとして読出されるので、ノードN1-1は“ロウ”と認識されて“Pass”状態になる。反対に、ストリング内に一つでも不完全消去のセルが存在する場合は、ノードN1-1が“ハイ”になり、消去“Fail”状態が示されることになる。

【0057】この動作は論理“ハイ”の信号A9によりB/L1に対しても同様に遂行される。消去検証は、データ“11”に対する読出動作に等しいので、一つのビットラインで一つのデータを読出せばよく、読出の結果はビットラインごとに設けられたラッチに貯蔵可能である。

【0058】一方、図11には、統合されたI/Oブロックへのデータ読出とデータローディングのためのカラム選択回路を示してある。図11の構造は、隣接した二つのページバッファ(ラッチ)が同一の選択アドレスにより選択される構造をもつ半導体メモリに適する。各ラッチにそれぞれ独立したI/Oラインを対応させるため、図11の回路の前段にはビットラインごとに接続され、メモリセルのデータを読出してその値をラッチするラッチ(図1)がある。そして、そのラッチに直列接続され、ゲートに列選択アドレスのプリデコーディング(Pre-Decoding)信号を受けるスイッチング手段としての第1NMOSTランジスタ(例えば図11のN1)と、この第1NMOSTランジスタn1に直列接続され、ゲートに他の列選択アドレスのプリデコーディング信号を受けるスイッチング手段としての第2NMOSTランジスタ(例えば図11のN7)と、この第2NMOSTランジスタに接続されるデータ伝送線(例えば図11のD/L0)と、から構成される。図11の信号YRは使用者に提供される余分のメモリセルアレイ領域を選択する信号であり、信号CR0~CR4はビットライン冗長時に冗長カラムを選択する信号である。

【0059】図1を参照すれば、二つのビットラインに接続された一つのセンスアンプは、二つのビットラインのうち一つのビットラインを選択するための選択アドレスにより、一つのビットラインと接続されて行選択アドレスにより選択されたメモリセルから2ビットを読出し、そのラッチに各ビットをラッチする。ラッチデータはカラム選択アドレスによるプリデコーディング信号YA_i(i=0~15), YB_i(i=0~15)の組合せに従いデータ伝送線へそれぞれ送られる。

【0060】図11に示すように、一つの統合されたI/Oブロック内で、信号YA_iを受ける第1NMOSTランジスタの一方の端子は図1の各ラッチに接続され、

他方の端子は、偶数番目のトランジスタどうし、奇数番目のトランジスタどうしでそれぞれ共通に接続される。そして、この共通接続ノードは同一の信号YBiを受け、この第2NMOSTランジスタにそれぞれ接続され、この第2NMOSTランジスタは、相互に異なる二つのデータ伝送線にそれぞれ接続される。

【0061】上記のような構造を有する図11のカラム選択回路は、一つの列選択アドレスにより、隣接した各データラッチにそれぞれ異なるデータ伝送線とのパス(Path)を構成することができる。

【0062】

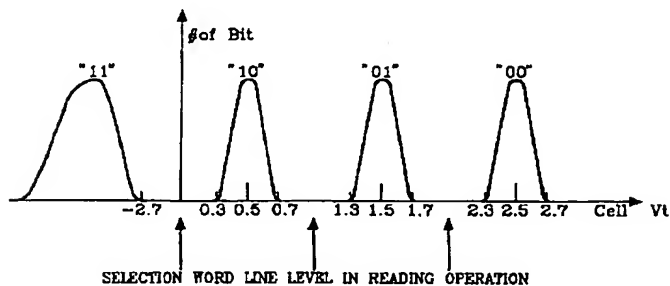
【発明の効果】本発明のメモリ装置は、メモリ容量を拡張することができることは勿論、回路をより簡単に構成し得る効果を有する。また、NAND形の構造でも電流感知技術を適用し得る利点を有し、それに適した改善されたカラム選択回路を提供する長所がある。更に、1メモリセルに多ビットを記憶する本発明の多値記憶メモリは、改善された消去、プログラム、その検証、及び読出動作を提供し得る効果がある。

【図面の簡単な説明】

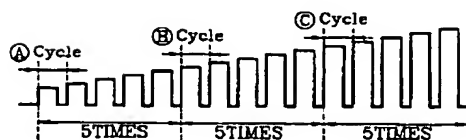
【図1】本発明による多値記憶式のフラッシュメモリのメモリセル関連回路図。

【図2】図1のメモリセルのデータ状態別しきい値電圧の分布と読出時の選択ワードラインレベルを示したグラフ。

【図2】



【図6】



【図3】図1のメモリセルのデータ状態別しきい値電圧の分布とプログラム検証時の選択ワードラインレベルを示したグラフ。

【図4】図1のメモリの読出動作に関連した信号の波形図。

【図5】図1のメモリのプログラム及び検証動作に関連した信号の波形図。

【図6】図1のメモリのプログラム及び検証動作に関連した選択ワードラインの電圧印加状態を示す波形図。

【図7】図1のメモリセルのプログラムによるデータ状態別しきい値電圧の変化を示す説明図。

【図8】図1のメモリセルのプログラムによるデータ状態別しきい値電圧の変化を示す説明図。

【図9】図1のメモリの消去動作に関連した信号の波形図。

【図10】図1のメモリの消去検証動作に関連した信号の波形図。

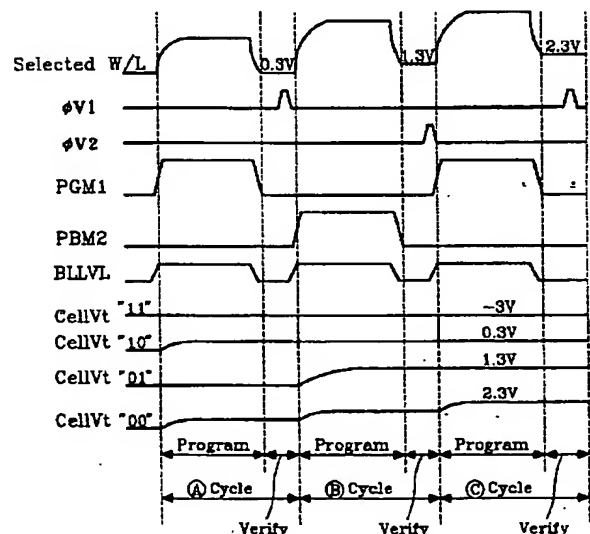
【図11】本発明による図1の回路に接続可能なカラム選択回路の回路図。

【図12】従来のNOR形の多値記憶メモリに適用されている電流センスアンプの回路図及び信号波形図。

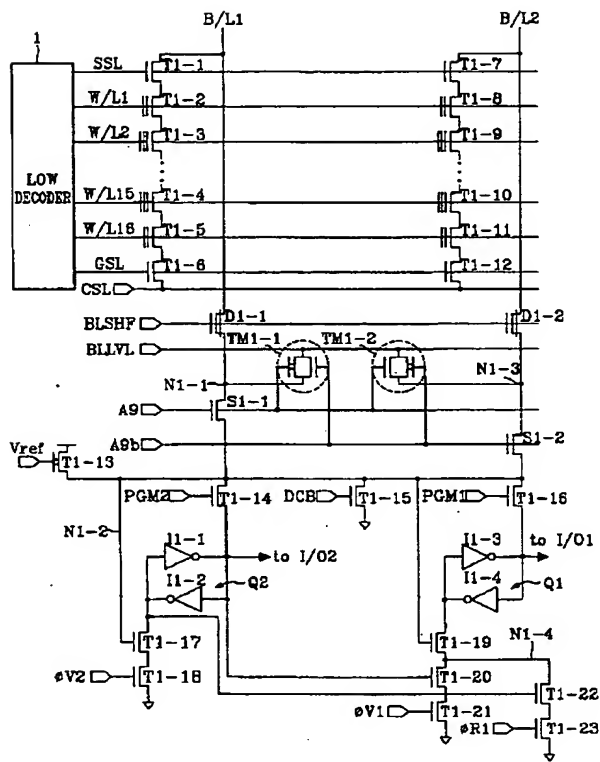
【図13】従来のNAND形の多値記憶メモリに適用されているセンスアンプとメモリセルとの接続関係を示す回路図。

【図14】従来一般的なカラム選択回路の回路図。

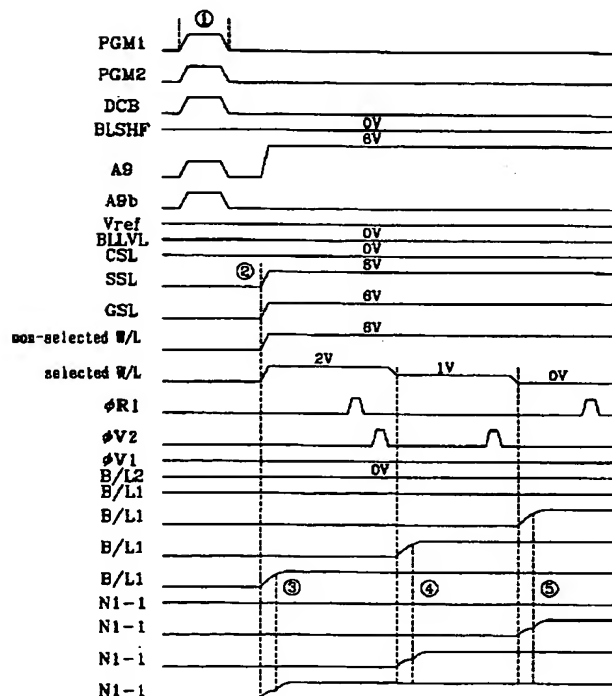
【図5】



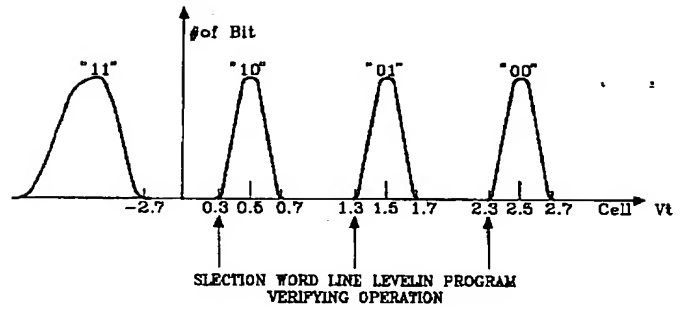
【図1】



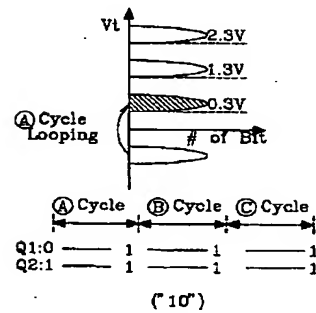
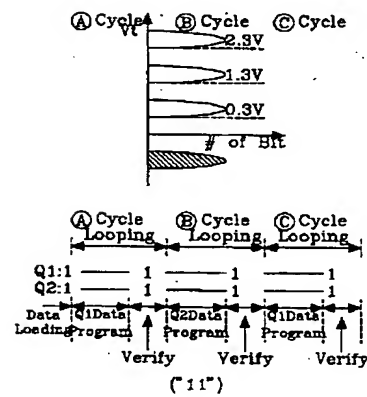
【図4】



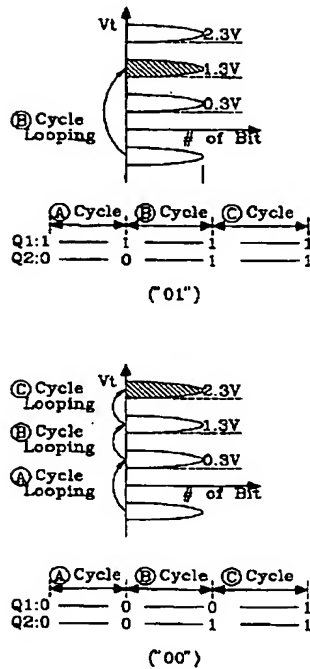
【図3】



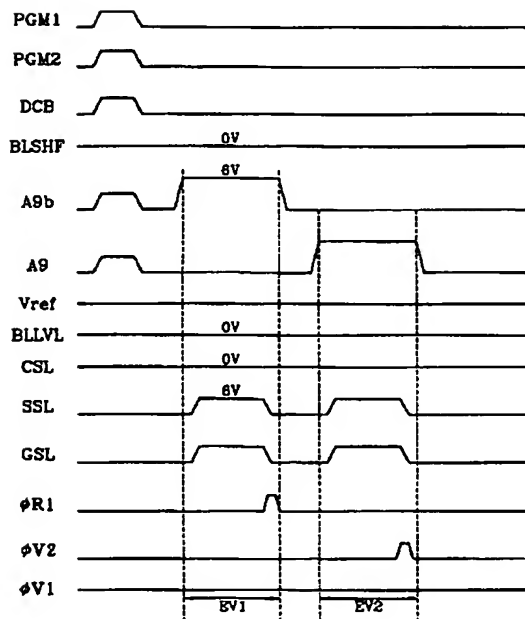
【図7】



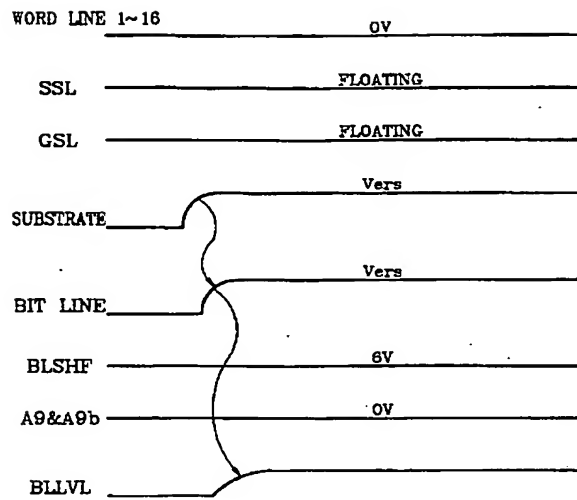
【図8】



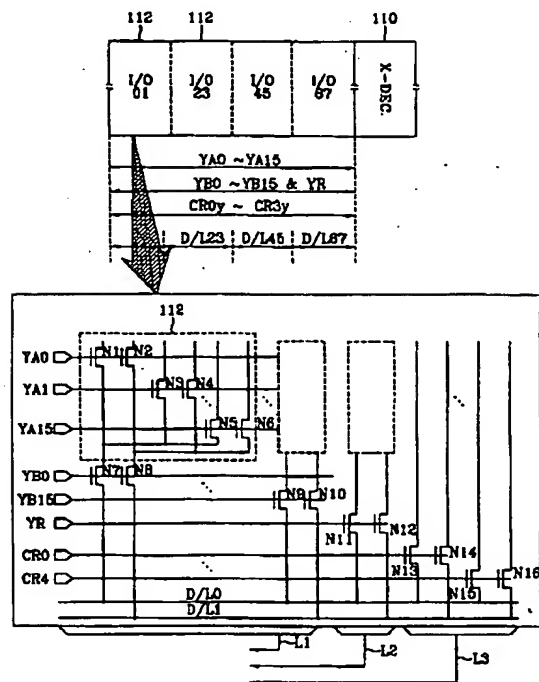
【図10】



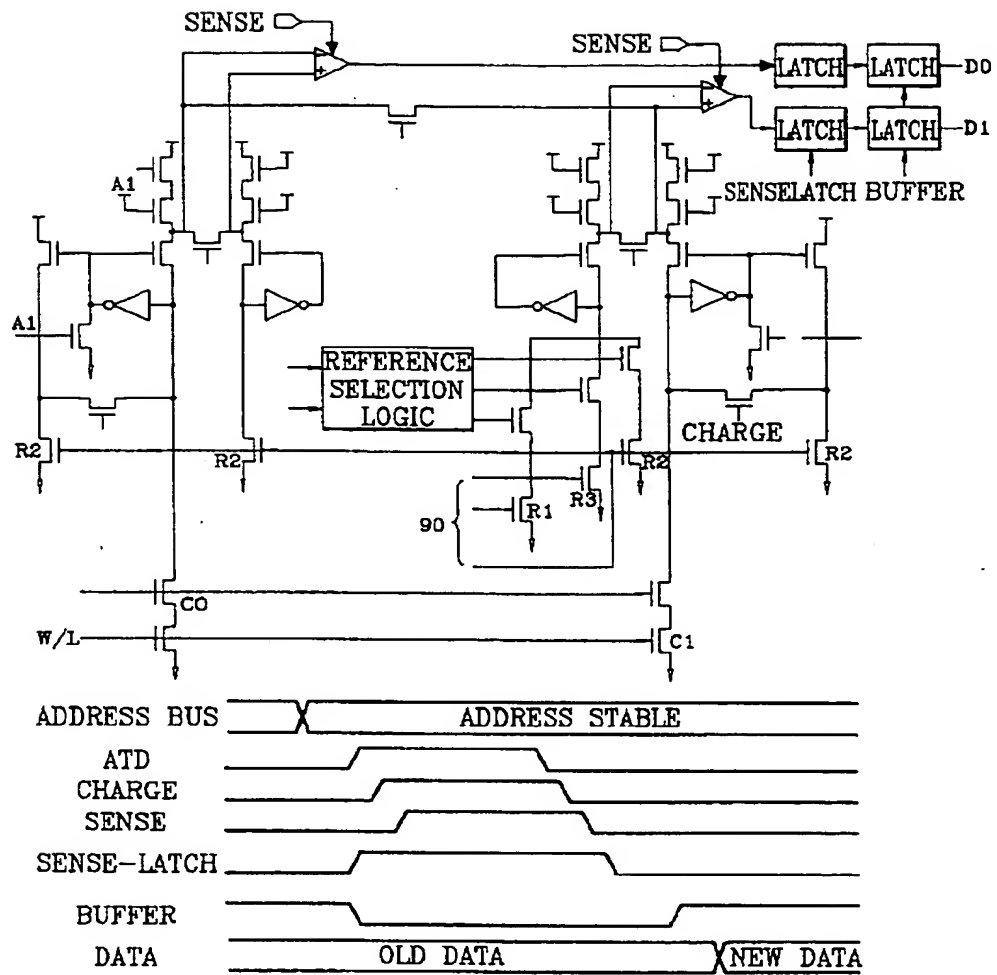
【図9】



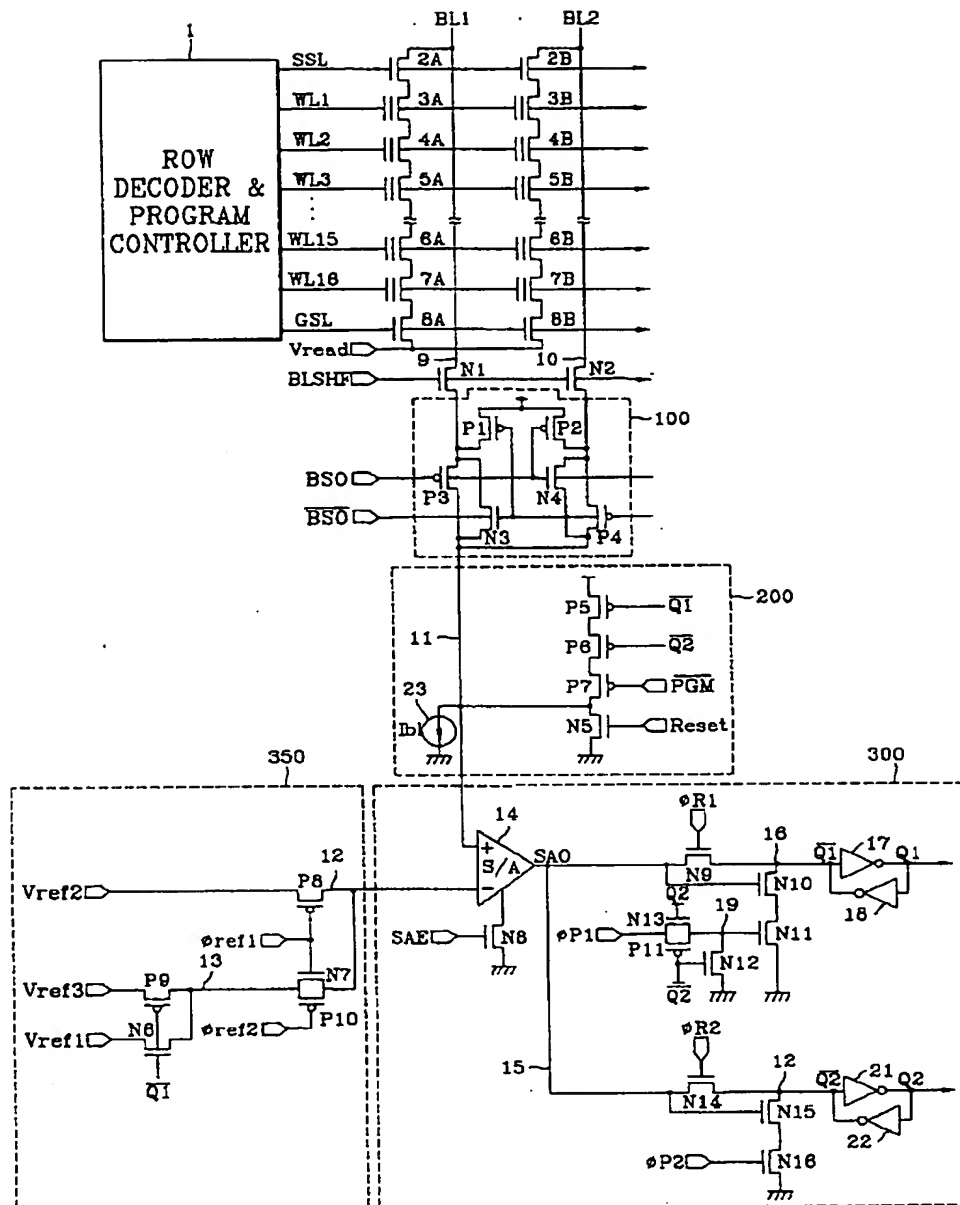
【図11】



【図12】



【図13】



【図14】

